

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 5 日  
Date of Application:

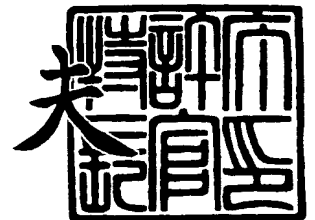
出 願 番 号            特 願 2 0 0 3 - 0 8 1 6 7 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 1 6 7 1 ]

出   願   人            三 洋 電 機 株 式 会 社  
Applicant(s):

2 0 0 4 年   2 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 0 8 1 3 5

【書類名】 特許願

【整理番号】 NPC1030015

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
    三洋電機株式会社内

    【氏名】 本間 運也

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
    三洋電機株式会社内

    【氏名】 松下 重治

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100104433

    【弁理士】

    【氏名又は名称】 宮園 博一

【手数料の表示】

    【予納台帳番号】 073613

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリの製造方法およびメモリ

【特許請求の範囲】

【請求項 1】 第 1 電極膜上に記憶材料膜を形成する工程と、  
前記記憶材料膜の一部を所定の厚み分エッチングすることにより、記憶部と、  
エッチングされた薄膜部とを形成する工程と、  
少なくとも前記記憶材料膜の薄膜部を覆うように保護膜を形成する工程と、  
前記保護膜上の所定領域にエッチングマスクを形成した後、前記エッチングマスクをマスクとして、前記保護膜および前記記憶材料膜の薄膜部をエッチングすることによって、前記記憶材料膜の薄膜部をパターンニングする工程とを備えた、  
メモリの製造方法。

【請求項 2】 前記記憶部と薄膜部とを形成する工程は、  
前記薄膜部が平均値で前記記憶材料膜の 15%以上の厚みになるように前記記憶材料膜の一部をエッチングする工程を含む、請求項 1 に記載のメモリの製造方法。

【請求項 3】 前記記憶材料膜が形成されるメモリセルアレイ領域と、周辺回路領域と、前記メモリセルアレイ領域と前記周辺回路領域とを接続するための接続配線とをさらに備えるメモリの製造方法であって、  
前記保護膜および前記記憶材料膜の薄膜部をパターンニングする工程は、  
少なくとも前記メモリセルアレイ領域と前記接続配線との接続領域近傍には、  
前記記憶材料膜の薄膜部が存在しないように、前記保護膜および前記記憶材料膜の薄膜部をパターンニングする工程を含む、請求項 1 または 2 に記載のメモリの製造方法。

【請求項 4】 第 1 電極膜と、  
前記第 1 電極膜上に形成され、記憶部と、前記記憶部の厚みよりも小さく、かつ、平均値で前記記憶部の厚みの 15%以上の厚みを有する薄膜部とを有する記憶材料膜と、  
前記記憶材料膜の記憶部上に形成された第 2 電極膜とを備えた、メモリ。

【請求項 5】 前記第 2 電極膜および前記記憶材料膜の薄膜部とを覆うよう

に形成され、前記記憶材料膜の薄膜部を加工するときのエッチングマスクに対する保護膜をさらに備える、請求項4に記載のメモリ。

【請求項6】 前記保護膜は、水素の拡散を抑制する機能を有する膜を含む、請求項5に記載のメモリ。

【請求項7】 前記記憶材料膜が形成されるメモリセルアレイ領域と、  
周辺回路領域と、

前記メモリセルアレイ領域と前記周辺回路領域とを接続するための接続配線とをさらに備え、

少なくとも前記メモリセルアレイ領域と前記接続配線との接続領域近傍には、前記記憶材料膜の薄膜部が存在しないように、前記記憶材料膜がパターンニングされている、請求項4～6のいずれか1項に記載のメモリ。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、メモリの製造方法およびメモリに関し、より特定的には、強誘電体膜や巨大磁気抵抗（CMR：colossal magnetoresistance）膜などの記憶材料膜を含むメモリの製造方法およびメモリに関する。

##### 【0002】

#### 【従来の技術】

従来、強誘電体膜を有する素子は、強誘電性などの特性を有しているため、エレクトロニクスなどの多くの分野で応用が期待されている。たとえば、分極ヒステリシス現象を利用した不揮発性の強誘電体メモリなどが研究されている（たとえば、特許文献1）。また、従来、電圧をパルス印加することにより大幅に抵抗が変化する巨大磁気抵抗材料を利用した不揮発性メモリなども提案されている。この巨大磁気抵抗材料を用いた不揮発性メモリでは、上部電極と下部電極との間に挟まれた巨大磁気抵抗材料膜の抵抗値の差を利用してデータを保持する。

##### 【0003】

強誘電体膜を用いた不揮発性メモリでは、上部電極および下部電極間に挟まれた強誘電体材料の自発分極によりデータを保持する。このような強誘電体メモリ

として、1つの強誘電体キャパシタと1つのスイッチングトランジスタとにより1つのメモリセルを構成した1トランジスタ1キャパシタ型の強誘電体メモリが知られている。しかしながら、このような1トランジスタ1キャパシタ型の強誘電体メモリでは、スイッチングトランジスタを各メモリセルに配置する必要があるため、集積度を向上させるのが困難であるという不都合があった。そこで、従来、1つのメモリセルが1つの強誘電体キャパシタのみによって構成される単純マトリックス型（クロスポイント型）の強誘電体メモリからなる不揮発性メモリが提案されている。この単純マトリックス型の強誘電体メモリでは、1つのメモリセルが1つの強誘電体キャパシタのみによって構成されるので、メモリセルの面積を非常に小さくすることができる。その結果、集積度を向上させることが可能である。

#### 【0004】

図15は、従来の単純マトリックス型の強誘電体メモリの構造を示した断面図である。図15を参照して、従来の単純マトリックス型の強誘電体メモリでは、基板101上に下部電極102が形成されている。下部電極102上の所定領域には、強誘電体膜103を介して上部電極104が形成されている。下部電極102は、たとえば、ワード線（図示せず）に接続され、上部電極104は、たとえば、ビット線（図示せず）に接続される。これら下部電極102、強誘電体膜103および上部電極104によって、強誘電体キャパシタ110が構成されている。そして、この1つの強誘電体キャパシタ110のみによって1つのメモリセルが構成される。

#### 【0005】

図16および図17は、図15に示した従来の単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。次に、図15～図17を参照して、従来の単純マトリックス型の強誘電体メモリの製造プロセスについて説明する。

#### 【0006】

まず、図16に示すように、基板101上に、下部電極102、強誘電体膜103および上部電極104を順次堆積する。その後、上部電極104上の所定領

域に、レジスト膜 105 を形成する。そして、レジスト膜 105 をマスクとして、上部電極 104 および強誘電体膜 103 をエッチングすることによって、下部電極 102 を露出させる。これにより、上部電極 104 および強誘電体膜 103 を図 17 に示すようにパターンニングする。この後、レジスト膜 105 を除去することによって、図 15 に示されるような従来の単純マトリックス型の強誘電体メモリが形成される。

#### 【0007】

##### 【特許文献 1】

特開 2001-210795 号公報

##### 【発明が解決しようとする課題】

図 15 に示した従来の単純マトリックス型の強誘電体メモリでは、上部電極 104 および強誘電体膜 103 が同じ形状にパターンニングされているため、上部電極 104 の下方にのみ強誘電体膜 103 が存在し、上部電極 104 の斜め下方には強誘電体膜 103 が存在しない状態になる。この場合、上部電極 104 から横方向にもれる電界によって強誘電体膜 103 が分極する成分の寄与がなくなるという不都合があった。このように上部電極 104 から横方向にもれる電界によって強誘電体膜 103 が分極する成分の寄与がなくなると、強誘電体膜 103 の残留分極量が減少するので、強誘電体キャパシタ 110 から読み出される信号の強さが減少する。その結果、読み出し信号の検出精度を向上させるのが困難であるという問題点があった。

#### 【0008】

なお、上記問題点は、強誘電体膜 103 に代えて巨大磁性抵抗材料を用いた場合にも同様に生じる。すなわち、上部電極 104 から横方向にもれる電界による巨大磁性抵抗材料の抵抗成分の寄与がなくなるので、信号の検出精度が低下するという問題点があった。

#### 【0009】

そこで、上記した問題点を解決するために、図 17 に示す工程において上部電極 104 のみをエッチングし、強誘電体膜 103 をエッチングしないようにすることも考えられる。しかしながら、図 17 に示す工程においてレジスト膜 105

をマスクとして上部電極 104 のみをエッチングすることにより上部電極 104 のみをパターンニングすると、たとえば、Pt などからなる上部電極 104 をエッチングする際の塩素系のエッチングガスにより強誘電体膜 103 の露出した表面が腐食するという不都合が新たに発生する。このように強誘電体膜 103 の露出した表面が腐食すると、その腐食した部分は強誘電体膜 103 として機能しなくなるので、結局、上部電極 104 から横方向にもれる電界によって強誘電体膜 103 が分極する成分を得ることは困難になる。この問題点は、強誘電体膜 103 に代えて巨大磁性抵抗材料を用いた場合にも同様である。その結果、読み出し信号の検出精度を向上させるのは困難である。

#### 【0010】

この発明は上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、メモリセルから読み出される信号の強度を増加させることにより信号の読み出し精度を向上させることが可能なメモリを提供することである。

#### 【0011】

この発明のもう 1 つの目的は、メモリセルから読み出される信号の強度を向上させることにより信号の読み出し精度を向上させることが可能なメモリを容易に製造し得るメモリの製造方法を提供することである。

#### 【0012】

##### 【課題を解決するための手段および発明の効果】

この発明の第 1 の局面によるメモリの製造方法は、第 1 電極膜上に記憶材料膜を形成する工程と、記憶材料膜の一部を所定の厚み分エッチングすることにより、記憶部と、エッチングされた薄膜部とを形成する工程と、少なくとも記憶材料膜の薄膜部を覆うように保護膜を形成する工程と、保護膜上の所定領域にエッチングマスクを形成した後、エッチングマスクをマスクとして、保護膜および記憶材料膜の薄膜部をエッチングすることによって、保護膜および記憶材料膜の薄膜部をパターンニングする工程とを備えている。

#### 【0013】

この第 1 の局面によるメモリの製造方法では、上記のように、記憶材料膜の一部を所定の厚み分エッチングすることにより、記憶部と薄膜部とを形成すること



によって、たとえば、記憶部上に形成される第2電極膜のエッチング時の塩素系のエッチングガスにより記憶材料膜の表面が腐食する場合にも、その記憶材料膜の表面を除去することができるので、第2電極膜からの横方向の電界に対して薄膜部に記憶特性を持たせることができる。これにより、メモリセルから読み出される信号の強度を向上させることができるので、信号の読み出し精度を向上させることができる。また、少なくとも記憶材料膜の薄膜部を覆うように保護膜を形成した後、その保護膜上の所定領域にエッチングマスクを形成して保護膜および記憶材料膜の薄膜部をパターンニングすることによって、エッチングマスクと記憶材料膜とが接触するのを防止することができる。これにより、たとえば、エッチングマスクとしてレジスト膜を用いるとともに、記憶材料膜として、レジスト膜と接触するとレジスト膜が取れにくくなる強誘電体膜を用いた場合にも、薄膜部のパターンニング後に、容易に、レジスト膜を除去することができる。

#### 【0014】

上記第1の局面によるメモリの製造方法において、好ましくは、記憶部と薄膜部とを形成する工程は、薄膜部が平均値で記憶材料膜の15%以上の厚みになるように記憶材料膜の一部をエッチングする工程を含む。このように構成すれば、ウエハ面内での記憶材料膜の堆積膜厚のばらつきおよびエッチングレートのばらつきに起因して薄膜部が全てエッチングされて第1電極膜が露出されるのを抑制することができる。これにより、第1電極膜が露出されてエッチングされた場合に、そのエッチング化合物が記憶材料膜の側面に付着することによりショートが発生するなどの不都合を抑制することができる。

#### 【0015】

上記第1の局面によるメモリの製造方法において、好ましくは、記憶材料膜が形成されるメモリセルアレイ領域と、周辺回路領域と、メモリセルアレイ領域と周辺回路領域とを接続するための接続配線とをさらに備えるメモリの製造方法であって、保護膜および記憶材料膜の薄膜部をパターンニングする工程は、少なくともメモリセルアレイ領域と接続配線との接続領域近傍には、記憶材料膜の薄膜部が存在しないように、保護膜および記憶材料膜の薄膜部をパターンニングする工程を含む。このように構成すれば、たとえば、記憶材料膜としてエッチングされに

くい強誘電体膜を用いた場合に、メモリセルアレイ領域と接続配線との接続領域にコンタクトホールを形成する際に、エッチングされにくい記憶材料膜をエッチングする必要がないので、容易に、コンタクトホールを形成することができる。

#### 【0016】

この発明の第2の局面によるメモリは、第1電極膜と、第1電極膜上に形成され、記憶部と、記憶部の厚みよりも小さく、かつ、平均値で記憶部の厚みの15%以上の厚みを有する薄膜部とを有する記憶材料膜と、記憶材料膜の記憶部上に形成された第2電極膜とを備えている。

#### 【0017】

この第2の局面によるメモリでは、上記のように、記憶部と、記憶部の厚みよりも小さい厚みを有する薄膜部とを有する記憶材料膜を形成することによって、たとえば、記憶部上に形成される第2電極膜のエッチング時の塩素系のエッチングガスにより記憶材料膜の表面が腐食する場合にも、その記憶材料膜の表面を除去することにより薄膜部を形成すれば、第2電極膜からの横方向の電界に対して薄膜部に記憶特性を持たせることができるので、メモリセルから読み出される信号の強度を向上させることができる。これにより、信号の読み出し精度を向上させることができる。また、薄膜部を平均値で記憶材料膜の15%以上の厚みになるように形成することによって、記憶材料膜の一部をエッチングすることにより薄膜部を形成する場合に、ウエハ面内での記憶材料膜の堆積膜厚のばらつきおよびエッチングレートのばらつきに起因して薄膜部が全て除去されて第1電極膜が露出されるのを抑制することができる。これにより、第1電極膜が露出されてエッチングされた場合に、そのエッチング化合物が記憶材料膜の側面に付着することにより第1電極膜と第2電極膜とのショートが発生するという不都合を抑制することができる。

#### 【0018】

上記第2の局面によるメモリにおいて、好ましくは、第2電極膜および記憶材料膜の薄膜部とを覆うように形成され、記憶材料膜の薄膜部を加工するときのエッチングマスクに対する保護膜をさらに備える。このように構成すれば、その保護膜上にエッチングマスクを形成して保護膜および記憶材料膜の薄膜部をパター

ニングすることによって、エッチングマスクと記憶材料膜とが接触するのを防止することができる。これにより、たとえば、エッチングマスクとしてレジスト膜を用いるとともに、記憶材料膜として、レジスト膜と接触するとレジスト膜が取れにくくなる強誘電体膜を用いた場合にも、薄膜部のパターンニング後に、容易に、レジスト膜を除去することができる。

#### 【0019】

この場合、好ましくは、保護膜は、水素の拡散を抑制する機能を有する膜を含む。このように構成すれば、記憶材料膜に上方から水素が拡散するのを抑制することができるので、記憶材料膜に水素が拡散することに起因する記憶特性の劣化を抑制することができる。

#### 【0020】

上記第2の局面によるメモリにおいて、好ましくは、記憶材料膜が形成されるメモリセルアレイ領域と、周辺回路領域と、メモリセルアレイ領域と周辺回路領域とを接続するための接続配線とをさらに備え、少なくともメモリセルアレイ領域と接続配線との接続領域近傍には、記憶材料膜の薄膜部が存在しないように、記憶材料膜がパターンニングされている。このように構成すれば、たとえば、記憶材料膜としてエッチングしにくい強誘電体膜を用いた場合にも、メモリセルアレイ領域と接続配線との接続領域にコンタクトホールを形成する際に、記憶材料膜をエッチングする必要がないので、容易に、コンタクトホールを形成することができる。

#### 【0021】

##### 【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

#### 【0022】

##### (第1実施形態)

図1は、本発明の第1実施形態による単純マトリックス型の強誘電体メモリを示した断面図である。

#### 【0023】

図1を参照して、この第1実施形態による単純マトリックス型の強誘電体メモ

りは、メモリセルアレイ領域 5 0 と周辺回路領域 6 0 とを含んでいる。また、p 型シリコン基板 1 の表面の所定領域に、STI (Shallow Trench Isolation) 構造を有する素子分離領域 2 が形成されている。

#### 【0024】

また、周辺回路領域 6 0 では、素子分離領域 2 によって囲まれた素子形成領域に、所定の間隔を隔てて、一对の高濃度不純物領域 8 が形成されている。高濃度不純物領域 8 のチャンネル領域側には、エクステンション領域（低濃度不純物領域）6 が形成されている。高濃度不純物領域 8 とエクステンション領域（低濃度不純物領域）6 とによって、ソース／ドレイン領域が構成されている。チャンネル領域上には、約 5 nm の厚みを有するシリコン酸化膜からなるゲート絶縁膜 3 を介して、約 200 nm の厚みを有するドーフトポリシリコン膜からなるゲート電極 4 が形成されている。ゲート電極 4 上には、約 150 nm の厚みを有するシリコン酸化膜 5 が形成されている。ゲート電極 4 およびシリコン酸化膜 5 の側面には、シリコン酸化膜からなるサイドウォール絶縁膜 7 が形成されている。

#### 【0025】

また、全面を覆うように、シリコン酸化膜、BP SG 膜およびシリコン酸化膜が順次積層されることによって形成された層間絶縁膜 9 が設けられている。層間絶縁膜 9 には、一对の高濃度不純物領域 8 に達するコンタクトホール 9 a が形成されている。コンタクトホール 9 a 内には、約 100 nm の厚みを有する Ti 膜 10 と、約 150 nm の厚みを有する TiN 膜 11 とからなるバリア膜が形成されている。また、TiN 膜 11 によって囲まれた領域には、タングステンプラグ 12 が埋め込まれている。

#### 【0026】

また、層間絶縁膜 9 のメモリセルアレイ領域 5 0 に対応する領域には、約 100 nm の厚みを有する IrSiN 膜 13 が形成されている。この IrSiN 膜 13 は、酸素の拡散を抑制する酸素バリア膜として機能する。この IrSiN 膜 13 上には、約 100 nm の厚みを有する Pt 膜 14 が形成されている。IrSiN 膜 13 および Pt 膜 14 によって、強誘電体キャパシタの下部電極が構成されている。この下部電極は、本発明の「第 1 電極膜」の一例である。また、周辺回

路領域60におけるタングステンプラグ12上には、メモリセルアレイ領域50のIrSiN膜13およびPt膜14と同一層をパターンニングすることによって形成されたIrSiN膜13aおよびPt膜14aが形成されている。

#### 【0027】

メモリセルアレイ領域50におけるPt膜14上には、SBT( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )膜からなる強誘電体膜15が形成されている。強誘電体膜15上には、約200nmの厚みを有するPt膜からなる上部電極16が形成されている。なお、強誘電体膜15は、本発明の「記憶材料膜」の一例であり、上部電極16は、本発明の「第2電極膜」の一例である。

#### 【0028】

ここで、この第1実施形態では、強誘電体膜15は、上部電極16下に位置する約200nmの厚みを有する記憶部15aと、記憶部15a以外の領域に位置し、平均値で記憶部15aの厚みの約15%以上約95%以下の厚みを有する薄膜部15bとから構成されている。

#### 【0029】

IrSiN膜13およびPt膜14からなる下部電極と、強誘電体膜15の記憶部15aと、上部電極16とによって、1つのメモリセルを構成する1つの強誘電体キャパシタが構成されている。

#### 【0030】

また、第1実施形態では、上部電極16および強誘電体膜15の薄膜部15bを覆うように、シリコン窒化膜17が形成されている。このシリコン窒化膜17は、後述する薄膜部15bのパターンニング工程においてレジスト膜と薄膜部15bとが接触するのを防止するために設けられている。また、このシリコン窒化膜17は、水素が拡散するのを抑制する水素拡散バリアとしての機能も有する。なお、シリコン窒化膜17は、本発明の「保護膜」の一例である。

#### 【0031】

また、メモリセルアレイ領域50および周辺回路領域60の全面を覆うように、シリコン酸化膜からなる層間絶縁膜18が形成されている。層間絶縁膜18には、ビアホール18aおよび18bが形成されている。ビアホール18aおよび

ビアホール 18b 内で、それぞれ、周辺回路領域 60 の Pt 膜 14a およびメモリセルアレイ領域 50 の Pt 膜 14 に接触するように、約 15 nm の厚みを有する TiN 膜 19 が形成されている。TiN 膜 19 上には、約 200 nm の厚みを有する Al 膜 20 が形成されている。TiN 膜 19 と Al 膜 20 とによって、メモリセルアレイ領域 50 と周辺回路領域 60 とを接続するための接続配線が構成されている。

#### 【0032】

また、第 1 実施形態では、強誘電体膜の薄膜部 15b は、メモリセルアレイ領域 50 と接続配線との接続のためのビアホール 18b の近傍に存在しないようにパターニングされている。

#### 【0033】

次に、図 2 を参照して、強誘電体膜 15 の薄膜部 15b の膜厚と残留分極量との関係について説明する。図 2 の横軸には、強誘電体膜 15 の記憶部 15a の膜厚を 100% とした場合の薄膜部 15b の膜厚の割合が示されている。また、縦軸には、薄膜部 15b がいない場合（従来の場合）に対する残留分極量の増加率が示されている。図 2 に示すように、薄膜部 15b の膜厚が大きくなるほど、残留分極量の増加率が大きくなることがわかる。具体的には、薄膜部 15b の膜厚が記憶部 15a の膜厚（200 nm）の 50%（100 nm）の場合には、残留分極量の増加率は約 3% である。また、強誘電体膜 15 の薄膜部 15b の膜厚が記憶部 15a の膜厚と同じ場合（100% の場合）には、残留分極量の増加率は約 14% となる。図 2 に示すグラフから、薄膜部 15b の厚みが大きいほど、上部電極 16 からの横方向の電界に対して薄膜部 15b により多くの残留分極量を持たせることが可能であることがわかる。

#### 【0034】

その一方、強誘電体膜 15 の記憶部 15a と同じ厚みに薄膜部 15b を形成すると、上部電極 16 のパターニングの際の塩素系のエッチングガス（Cl<sub>2</sub>/Ar 系ガス）により薄膜部 15b の表面が腐食された場合に、その薄膜部 15b の腐食された表面が除去されずに残ることになる。その場合には、薄膜部 15b の腐食された表面は強誘電体として機能しないので、上部電極 16 からの横方向の

電界に対して薄膜部 1 5 b を強誘電体として機能することが困難になる。そのため、残留分極量の増加は得られない。このような薄膜部 1 5 b の表面の腐食部分をエッチングにより除去する際には、薄膜部 1 5 b の表面を薄膜部 1 5 b の膜厚の約 5 % 以上の厚み分エッチング除去する必要がある。したがって、薄膜部 1 5 b の厚みは、平均値で記憶部 1 5 a の厚みの約 9 5 % 以下の厚みにするのが好ましい。

#### 【0 0 3 5】

また、薄膜部 1 5 b の厚みを、記憶部 1 5 a の厚みの 1 5 % よりも小さい厚みにすると、薄膜部 1 5 b をエッチングにより形成する際に、ウエハ面内での強誘電体膜 1 5 の堆積膜厚のばらつきおよびエッチングレートのばらつきに起因して、一部の領域で、薄膜部 1 5 b が全て除去されて下部電極を構成する P t 膜 1 4 が露出される場合がある。この場合、露出された P t 膜 1 4 がエッチングされるので、そのエッチング化合物が記憶部 1 5 a の側面に付着して下部電極と上部電極 1 6 とがショートするという不都合が生じる。以下、この問題点を、図 3 および図 4 を参照して詳細に説明する。

#### 【0 0 3 6】

まず、強誘電体材料をウエハ面内全域にわたって 0 ~ 1 5 % の範囲で残すことはプロセス上非常に困難である。図 3 は、6 インチウエハに強誘電体膜を堆積した場合の膜厚分布を示すものであり、図 4 は、強誘電体膜を C F<sub>4</sub>/A r 系ガスでエッチングした場合のエッチングレートの面内ばらつきを示した図である。図 3 に示すように、6 インチウエハに強誘電体膜を堆積した場合、ウエハ面内で約 5 % のばらつきが発生する。また、図 4 に示すように、エッチングレートのばらつきが約 1 0 % 存在する。したがって、図 3 および図 4 から、強誘電体膜の薄膜部をウエハの中央部分で約 1 5 % よりも小さい厚みで残そうとすると、ウエハ周辺部で下部電極を構成する P t 膜 1 4 をエッチングしてしまう領域が発生する。その領域では、P t 膜のエッチング化合物が強誘電体膜の記憶部 1 5 a の側面に付着するので、強誘電体キャパシタがショートしやすくなるという不都合が生じる。したがって、図 3 および図 4 に示した強誘電体膜の堆積膜厚のばらつきおよびエッチングレートのばらつきを考慮すると、薄膜部 1 5 b の厚みは、平均値で

記憶部 15 a の厚みの約 15 % 以上の厚みにする必要がある。

#### 【0037】

以上の結果から、強誘電体膜 15 の薄膜部 15 b は、平均値で記憶部 15 a の約 15 % 以上約 95 % 以下の厚みにするのが好ましい。

#### 【0038】

第 1 実施形態では、上記のように、記憶部 15 a と記憶部 15 a の厚みよりも小さい厚みを有する薄膜部 15 b とを有する強誘電体膜 15 を形成することによって、記憶部 15 a 上に形成される上部電極 16 のエッチング時の塩素系のエッチングガスにより薄膜部 15 b の表面が腐食する場合にも、その薄膜部 15 b の表面をエッチング除去することにより薄膜部 15 b を形成すれば、上部電極 16 からの横方向の電界に対して薄膜部 15 b を強誘電体として機能させることができる。これにより、メモリセルから読み出される信号の強度を向上させることができるので、信号の読み出し精度を向上させることができる。

#### 【0039】

また、第 1 実施形態では、上記のように、薄膜部 15 b を平均値で記憶部 15 a の約 15 % 以上の厚みになるように形成することによって、強誘電体膜 15 の一部をエッチングすることにより薄膜部 15 b を形成する場合に、ウエハ面内での強誘電体膜 15 の堆積膜厚のばらつきおよびエッチングレートのばらつきに起因して、薄膜部 15 b が全て除去されて下部電極を構成する Pt 膜 14 が露出されるのを抑制することができる。これにより、下部電極を構成する Pt 膜 14 が露出されてエッチングされた場合に、そのエッチング化合物が記憶部 15 a の側面に付着することにより下部電極と上部電極 16 とのショートが発生するという不都合を抑制することができる。

#### 【0040】

また、図 1 に示したように、薄膜部 15 b の表面を覆うように保護膜としてのシリコン窒化膜 17 を形成することによって、後述する薄膜部 15 b のパターニング時に、シリコン窒化膜 17 上にレジスト膜（エッチングマスク）を形成してパターニングすることができるので、レジスト膜と薄膜部 15 b とが接触するのを防止することができる。これにより、レジスト膜と接触するとレジスト膜が取



りにくくなる強誘電体膜 15 を用いる場合にも、薄膜部 15 b のパターンニング後に容易にレジスト膜を除去することができる。

#### 【0041】

また、シリコン窒化膜 17 は、水素の拡散を抑制する機能を有するので、上方から水素が強誘電体膜 15 に拡散するのを抑制することができる。これにより、酸化物からなる強誘電体膜 15 に水素が侵入することにより特性が劣化するのを容易に抑制することができる。

#### 【0042】

また、第 1 実施形態では、図 1 に示すように、強誘電体膜 15 の薄膜部 15 b が、メモリセルアレイ領域 50 と接続配線との接続のためのビアホール 18 b の近傍に存在しないようにパターンニングすることによって、エッチングされにくい材料である強誘電体膜 15 をビアホール 18 b の形成の際にエッチングする必要がないので、容易にビアホール 18 b を形成することができる。

#### 【0043】

図 5 ～ 図 13 は、図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。次に、図 1、図 5 ～ 図 13 を参照して、第 1 実施形態による強誘電体メモリの製造プロセスについて説明する。

#### 【0044】

まず、図 5 に示すように、p 型シリコン基板 1 上の所定領域に、STI 構造の素子分離領域 2 を形成する。その後、n ウェルおよび p ウェル形成用のイオン注入と、n チャネルトランジスタおよび p チャネルトランジスタのしきい値調整用のイオン注入を行う。その後、熱酸化法を用いてシリコン酸化膜 3 a を約 5 nm の厚みで形成する。そのシリコン酸化膜 3 a 上に、CVD 法を用いて、ドーフトポリシリコン膜 4 a を約 200 nm の厚みで形成する。ドーフトポリシリコン膜 4 a 上に、減圧 CVD 法 (LPCVD: Low Pressure Chemical Vapor Deposition) を用いて、シリコン酸化膜 5 a を約 150 nm の厚みで形成する。そして、シリコン酸化膜 5 a 上の所定領域にレジスト膜 21 を形成する。

## 【0045】

そして、レジスト膜21をマスクとしてシリコン酸化膜5a、ドーフトポリシリコン膜4aおよびシリコン酸化膜3aをエッチングすることによって、図6に示すように、シリコン酸化膜からなるゲート絶縁膜3、ドーフトポリシリコン膜からなるゲート電極4およびシリコン酸化膜5を形成する。この後、レジスト膜21をマスクとして、砒素（As）イオンを、注入エネルギー：約10keV、注入量：約 $1 \times 10^{14} \text{ cm}^{-2}$ の条件下でイオン注入する。これにより、n型のエクステンション領域（低濃度不純物領域）6を形成する。この後、レジスト膜21を除去する。

## 【0046】

次に、図7に示すように、全面にLPCVD法を用いて約200nmの厚みを有するシリコン酸化膜（図示せず）を形成した後、そのシリコン酸化膜を異方性エッチングすることによって、ゲート絶縁膜3、ゲート電極4およびシリコン酸化膜5の側面上に、サイドウォール絶縁膜7を形成する。そして、このサイドウォール絶縁膜7をマスクとして、砒素（As）イオンを、注入エネルギー：約30keV、注入量：約 $1 \times 10^{15} \text{ cm}^{-2}$ の条件下でイオン注入することによって、高濃度不純物領域8を形成する。このエクステンション領域6および高濃度不純物領域8によって、ソース／ドレイン領域が構成される。この後、イオン注入した不純物を活性化するために、約850℃で約30分間の熱処理を窒素雰囲気中で行う。

## 【0047】

次に、LPCVD法を用いて、全面を覆うように、シリコン酸化膜を約200nmの厚みで形成した後、そのシリコン酸化膜上にBPSSG膜を約800nmの厚みで堆積する。そして、約850℃で約30分間の熱処理を酸素雰囲気中で行うことによって、BPSSG膜をリフローする。この後、BPSSG膜をドライエッチングまたはCMP（Chemical Mechanical Polishing）法を用いて、BPSSG膜が所望の厚さになるまでエッチングまたは研磨する。そして、LPCVD法を用いて、そのBPSSG膜上に、シリコン酸化膜を約100nmの厚みで堆積する。これにより、シリコン酸化膜、BPSSG膜およ

びシリコン酸化膜の3層構造からなる層間絶縁膜9が形成される。そして、フォトリソグラフィ技術とドライエッチング技術を用いて、層間絶縁膜9に、高濃度領域8に達するコンタクトホール9aを形成する。

#### 【0048】

そして、スパッタ法を用いて、コンタクトホール9a内および層間絶縁膜9の上面上に、約10nmの厚みを有するTi膜10と約15nmの厚みを有するTiN膜11とを順次堆積する。その後、タングステン膜12を約400nmの厚みで堆積する。そして、コンタクトホール9a以外の領域に形成された余分なタングステン膜12、TiN膜11およびTi膜10をCMP法を用いて除去することによって、図7に示されるような形状が得られる。

#### 【0049】

次に、スパッタ法を用いて、全面を覆うように、約100nmの厚みを有するIrSiN膜（図示せず）および約100nmの厚みを有するPt膜（図示せず）を順次堆積した後、フォトリソグラフィ技術とCl<sub>2</sub>/Ar系ガスによるドライエッチングとを用いて、Pt膜およびIrSiN膜をパターンニングする。これにより、図8に示すように、メモリセルアレイ領域50に、下部電極を構成するIrSiN膜13およびPt膜14を形成するとともに、周辺回路領域60に、IrSiN膜13aおよびPt膜14aを形成する。

#### 【0050】

この後、図9に示すように、スピコート法を用いて、全面に、SBT用の溶液（SBT溶液）を、約2000rpmで約30秒間塗布する。そして、大気中で約200℃で約15分間の熱処理を施すことによって、溶媒成分（エタノール、エチルヘキサンなど）を蒸発させる。その後、約650℃で約1時間の焼成工程を酸化雰囲気中で行う。これらのSBT溶液のスピコートおよび熱処理を、強誘電体膜15が約200nmの厚みになるまで繰り返す。この後、スパッタ法を用いてPt膜16aを約200nmの厚みで形成する。そして、Pt膜16a上の所定領域に、レジスト膜22を形成する。

#### 【0051】

この後、レジスト膜22をマスクとして、Cl<sub>2</sub>/Ar系ガスによるドライエ

ッチングを用いて P t 膜 1 6 a をエッチングすることによって、図 1 0 に示すようにパターニングされた P t 膜からなる上部電極 1 6 が形成される。この状態では、強誘電体膜 1 5 の表面が、P t 膜 1 6 a をエッチングする際の C l<sub>2</sub>/A r 系ガスにより腐食された状態になっている。

#### 【0052】

この状態から、本実施形態では、図 1 1 に示すように、レジスト膜 2 2 をマスクとして、C F<sub>4</sub>/A r 系ガスによるドライエッチングを用いて、強誘電体膜 1 5（薄膜部 1 5 b）の厚みが約 1 5 % 以上約 9 5 % 以下の厚みになるように、強誘電体膜 1 5 の表面を所定の厚み分エッチング除去する。これにより、強誘電体膜 1 5 の表面の腐食された部分が除去されるとともに、強誘電体膜 1 5 の記憶部 1 5 a と薄膜部 1 5 b とが形成される。この後、レジスト膜 2 2 を除去する。

#### 【0053】

次に、図 1 2 に示すように、スパッタ法を用いて、シリコン窒化膜 1 7 を約 1 0 n m ～ 約 5 0 n m の厚みで堆積した後、シリコン窒化膜 1 7 上の所定領域にレジスト膜（エッチングマスク） 2 3 を形成する。そして、レジスト膜 2 3 を用いて、まず、C F<sub>4</sub>系ガスによるドライエッチングによりシリコン窒化膜 1 7 をエッチングした後、C F<sub>4</sub>/A r 系ガスによるドライエッチングを用いて S B T 膜からなる薄膜部 1 5 b をエッチングする。これにより、パターニングされた記憶部 1 5 a および薄膜部 1 5 b を有する強誘電体膜 1 5 が得られる。なお、第 1 実施形態では、強誘電体膜の薄膜部 1 5 b が、メモリセルアレイ領域 5 0 と接続配線との接続のためのビアホール 1 8 b の近傍に存在しないようにパターニングする。この後、レジスト膜 2 3 を除去する。

#### 【0054】

次に、図 1 3 に示すように、全面を覆うようにプラズマ C V D 法を用いてシリコン酸化膜 1 8 を約 4 0 0 n m の厚みで堆積する。そして、シリコン酸化膜 1 8 上の所定領域にレジスト膜 2 4 を形成した後、レジスト膜 2 4 をマスクとしてシリコン酸化膜 1 8 をエッチングすることによって、シリコン酸化膜 1 8 にビアホール 1 8 a および 1 8 b を形成する。この際、メモリセルアレイ領域 5 0 と接続配線との接続領域となるビアホール 1 8 b の近傍には、強誘電体膜 1 5 の薄膜部

15bが存在しないので、ビアホール18bの形成時のエッチング時に、エッチングしにくいSBT膜からなる強誘電体膜15をエッチングする必要がない。これにより、容易にビアホール18bの形成を行うことができる。この後、レジスト膜24を除去する。

#### 【0055】

最後に、図1に示したように、スパッタ法を用いて、約15nmの厚みを有するTiN膜19と約200nmの厚みを有するAl膜20とを堆積した後、フォトリソグラフィ技術とドライエッチング技術とを用いてパターンニングする。これにより、メモリセルアレイ領域50と周辺回路領域60とを接続するためのTiN膜19とAl膜20とからなる接続配線が形成される。このようにして、第1実施形態による単純マトリックス型の強誘電体メモリが形成される。

#### 【0056】

##### (第2実施形態)

図14は、本発明の第2実施形態によるクロスポイント型の巨大磁気抵抗材料を用いた不揮発性メモリを示した断面図である。図14を参照して、この第2実施形態では、上記第1実施形態と異なり、本発明を、記憶材料膜として巨大磁気抵抗材料を用いた不揮発性メモリに適用した例について説明する。

#### 【0057】

具体的には、この第2実施形態による不揮発性メモリでは、図1に示した第1実施形態のSBT膜からなる強誘電体膜15に代えて、巨大磁気抵抗材料膜としてのPCMO( $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ )膜25を用いている。なお、PCMO膜25は、本発明の「記憶材料膜」の一例である。このPCMO膜25は、上部電極16下に位置する約200nmの厚みを有する記憶部25aと、記憶部25aの厚みの約15%以上約95%以下の厚みを有する薄膜部25bとを含んでいる。IrSiN膜13およびPt膜14からなる下部電極と、PCMO膜25と、Pt膜からなる上部電極16とによって、データを記憶するための抵抗素子が構成される。具体的には、この第2実施形態による巨大磁気抵抗材料膜(PCMO膜25)を用いた不揮発性メモリでは、上部電極16と下部電極との間に挟まれたPCMO膜25の抵抗値の差を用いて、データを保持する。

## 【0058】

第2実施形態では、上記のように、巨大磁気抵抗材料膜（PCMO膜）25を、上部電極16下に位置する記憶部25aと記憶部25aよりも小さい厚みを有する薄膜部25bとを有するように形成することによって、上部電極16のエッチング時の塩素系のエッチングガスにより薄膜部25bの表面が腐食される場合にも、その薄膜部25bの表面をエッチングにより除去することにより、薄膜部25bを形成すれば、上部電極16からの横方向の電界に対して薄膜部25bを抵抗成分として機能させることができる。これにより、メモリセルから読み出される信号の強度を向上させることができるので、信号の読み出し精度を向上させることができる。

## 【0059】

なお、第2実施形態のその他の効果は、第1実施形態と同様である。

## 【0060】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

## 【0061】

たとえば、上記実施形態では、下部電極の上層として、Pt膜を用いたが、本発明はこれに限らず、Pt膜に代えて、Ir膜、Pd膜、Co膜、Rh膜、Re膜、Mo膜またはRu膜を用いることが可能である。

## 【0062】

また、上記実施形態では、下部電極の下層として、IrSiN膜を用いたが、本発明はこれに限らず、IrSiN膜に代えて、TiO<sub>2</sub>膜、CoSiN膜、RuSiN膜、Ti膜、Pt/TiO<sub>2</sub>膜、TaSiN膜、Pt膜、IrO<sub>2</sub>膜またはTiN膜を用いてもよい。

## 【0063】

また、上記実施形態では、強誘電体膜として、SBT（Si<sub>x</sub>Bi<sub>y</sub>Ta<sub>2</sub>O<sub>9</sub>）膜を用いたが、本発明はこれに限らず、SBTN（Sr<sub>x</sub>Bi<sub>y</sub>（Nb，Ta）<sub>2</sub>

Og) 膜、PZT (Pb (Zr, Ti) O<sub>3</sub>) 膜、PLZT ((Pb, La) (Zr, Ti) O<sub>3</sub>) 膜およびBLT ((Bi, La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>) 膜などの他の強誘電体膜を用いることも可能である。

#### 【0064】

また、上記実施形態では、巨大磁気抵抗材料膜としてPCMO膜を用いたが、本発明はこれに限らず、PCMO膜以外の巨大磁気抵抗材料膜を用いてもよい。

#### 【0065】

また、上記実施形態では、上部電極と下部電極との間に位置する記憶材料膜として、強誘電体膜または巨大磁気抵抗材料膜を用いたが、本発明はこれに限らず、他の材料からなる記憶材料膜を用いてもよい。

#### 【0066】

また、上記実施形態では、薄膜部の表面を覆う保護膜としてシリコン窒化膜 (SiN膜) を形成したが、本発明はこれに限らず、薄膜部の表面を覆う保護膜として、SiON膜やSiO<sub>2</sub>膜を用いてもよい。この場合にも、保護膜により、薄膜部のパターニング時に、薄膜部とレジスト膜とが接触するのを防止することができる。なお、SiON膜は、SiN膜と同様、水素拡散の抑制機能を有する一方、SiO<sub>2</sub>膜は、水素拡散の抑制機能を有しない。

#### 【0067】

また、上記実施形態では、単純マトリックス型の強誘電体メモリまたは不揮発性メモリについて説明したが、本発明はこれに限らず、1トランジスタ1キャパシタ型の強誘電体メモリなどにも適用可能である。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態による単純マトリックス型の強誘電体メモリを示した断面図である。

##### 【図2】

強誘電体膜の薄膜部の膜厚と残留分極量との関係を示した相関図である。

##### 【図3】

ウエハ面内での強誘電体膜の膜厚のばらつきを説明するための特性図である。

**【図 4】**

ウエハ面内でのエッチングレートのばらつきを説明するための特性図である。

**【図 5】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 6】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 7】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 8】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 9】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 10】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 11】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 12】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 13】**

図 1 に示した第 1 実施形態による単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。



**【図 1 4】**

本発明の第 2 実施形態によるクロスポイント型の巨大磁気抵抗材料を用いた不揮発性メモリを示した断面図である。

**【図 1 5】**

従来の単純マトリックス型の強誘電体メモリの構造を示した断面図である。

**【図 1 6】**

図 1 5 に示した従来の単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【図 1 7】**

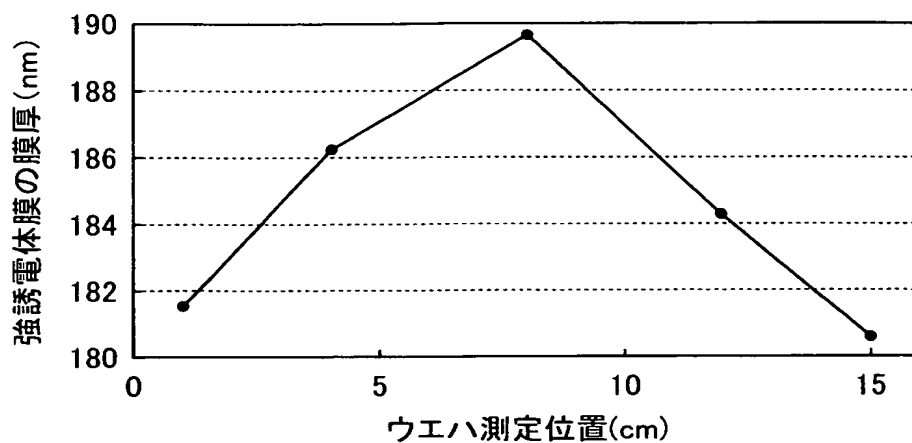
図 1 5 に示した従来の単純マトリックス型の強誘電体メモリの製造プロセスを説明するための断面図である。

**【符号の説明】**

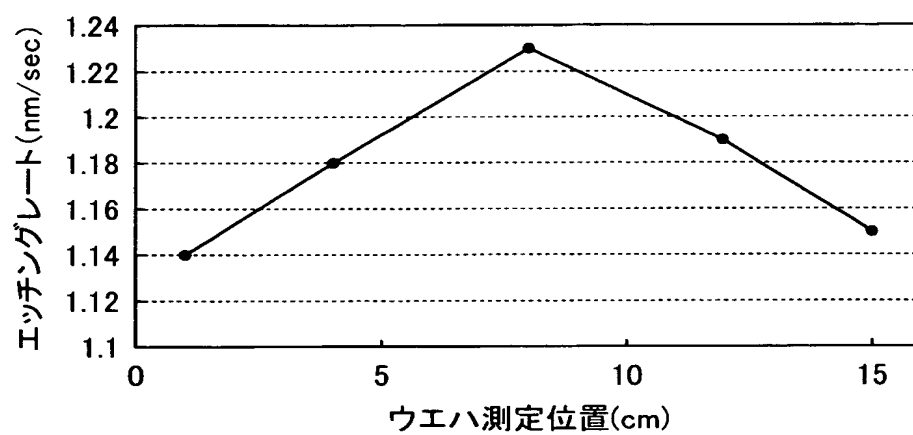
- 1 3    I r S i N 膜（第 1 電極膜）
- 1 4    P t 膜（第 1 電極膜）
- 1 5    強誘電体膜（記憶材料膜）
- 1 5 a    記憶部
- 1 5 b    薄膜部
- 1 6    上部電極（第 2 電極膜）
- 1 7    シリコン窒化膜（保護膜）
- 1 9    T i N 膜（接続配線）
- 2 0    A l 膜（接続配線）
- 1 8 b    ビアホール（接続領域）
- 2 5    巨大磁気抵抗材料膜（記憶材料膜）
- 2 5 a    記憶部
- 2 5 b    薄膜部



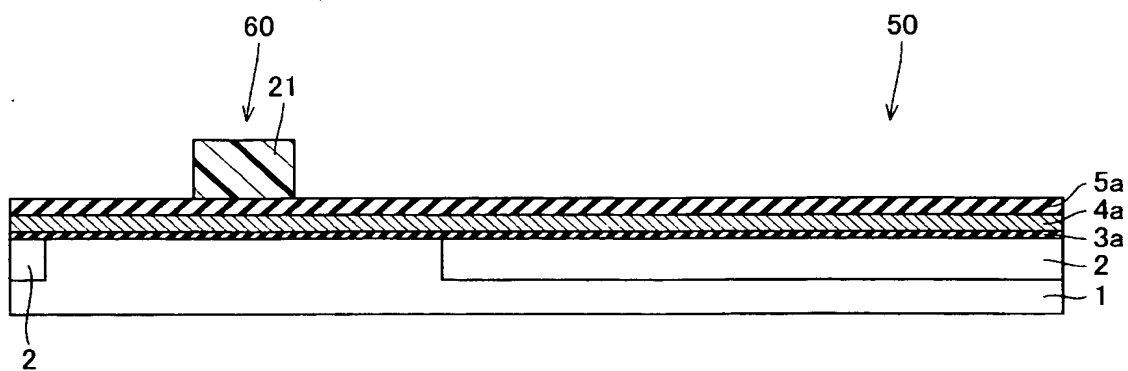
【図 3】



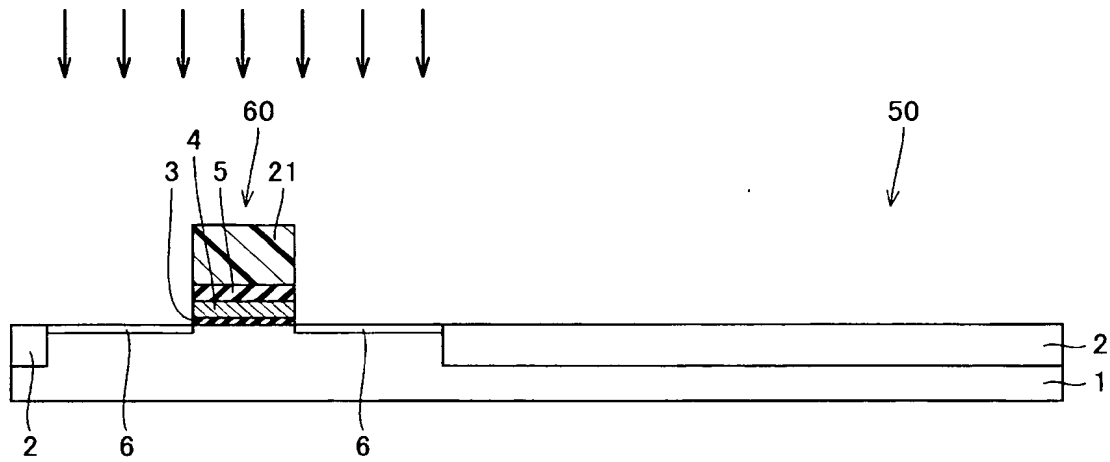
【図 4】



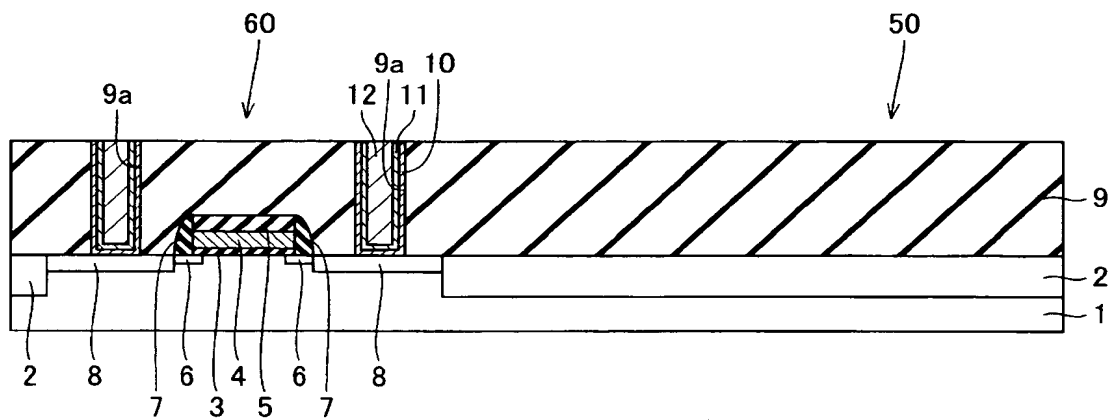
【図 5】



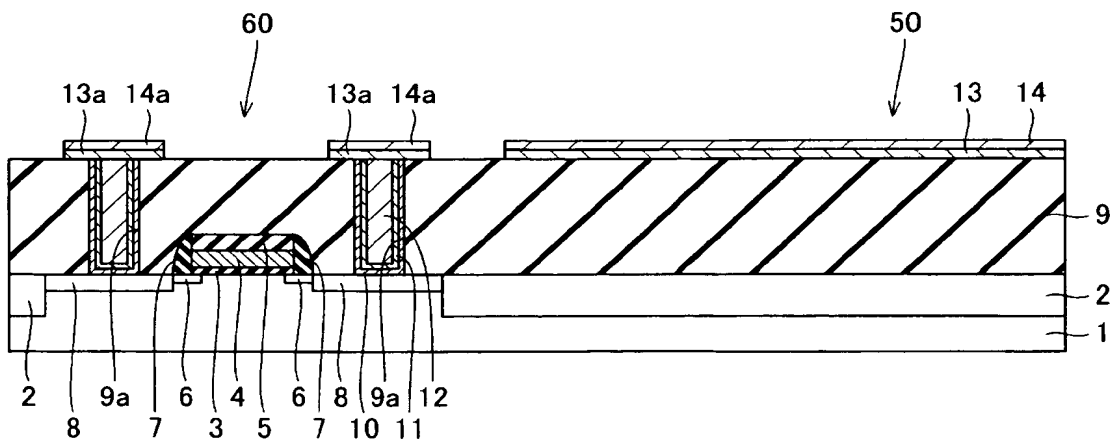
【図 6】



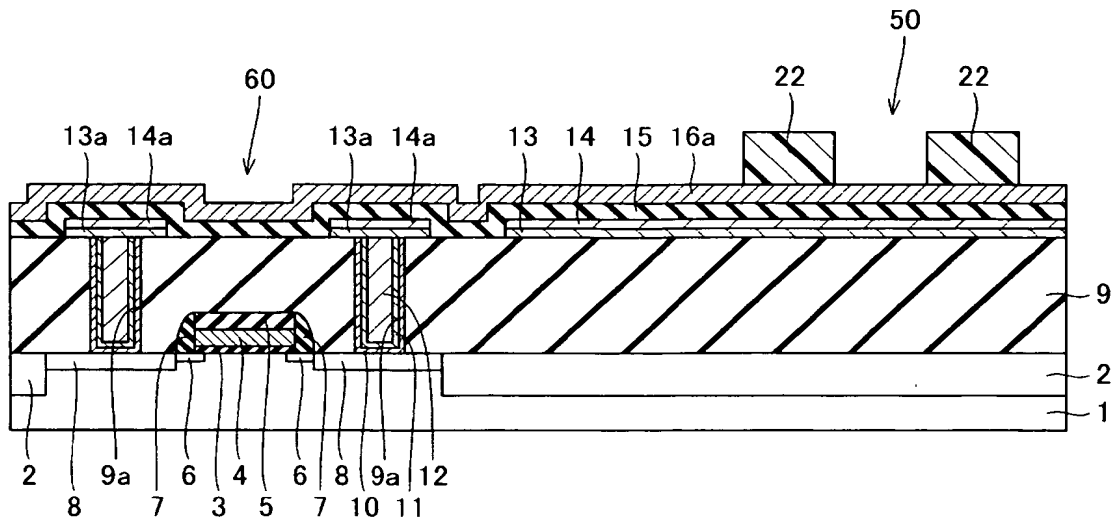
【図 7】



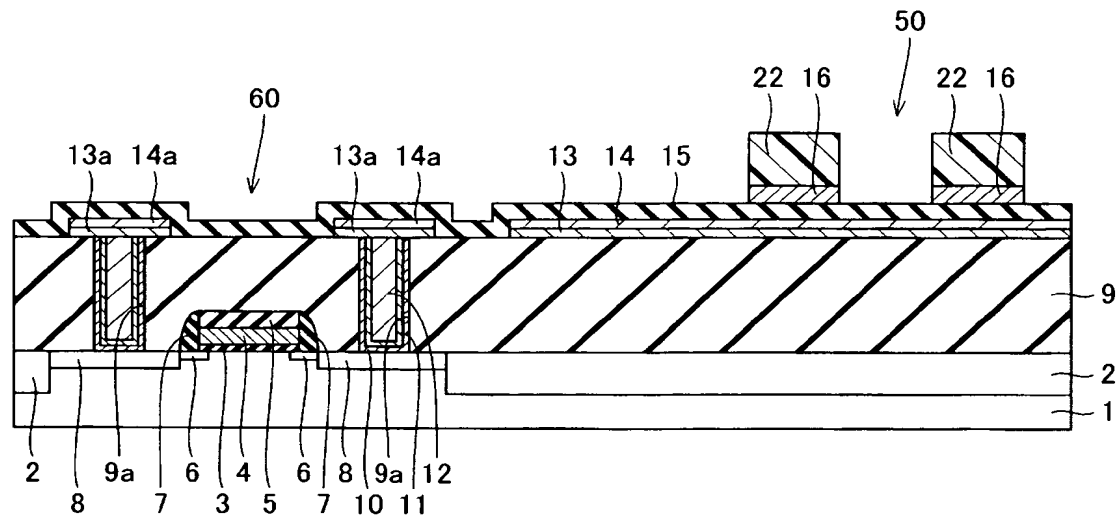
【図 8】



【図 9】

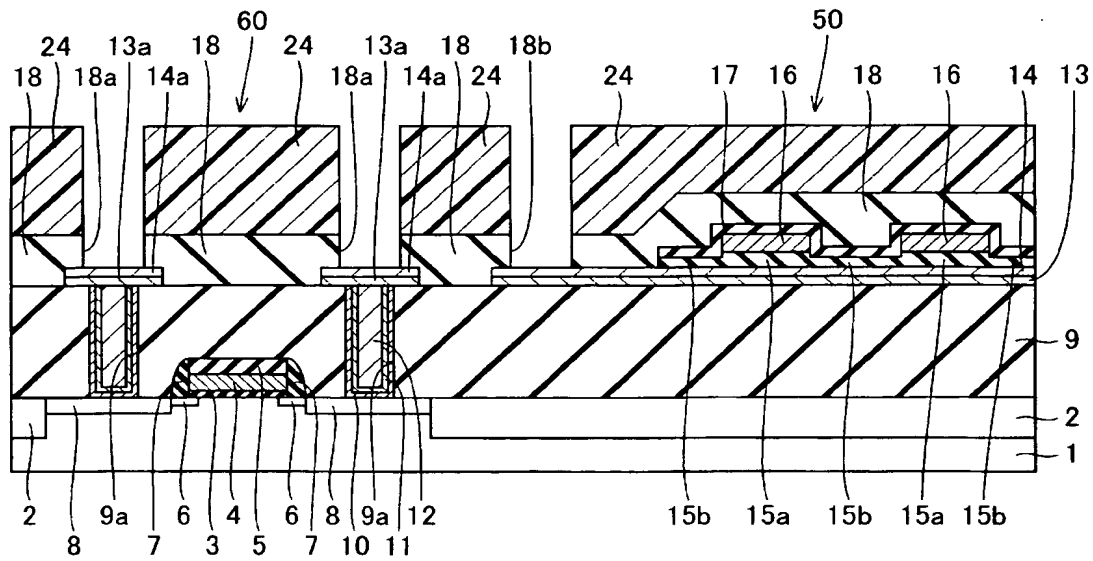


【図 10】

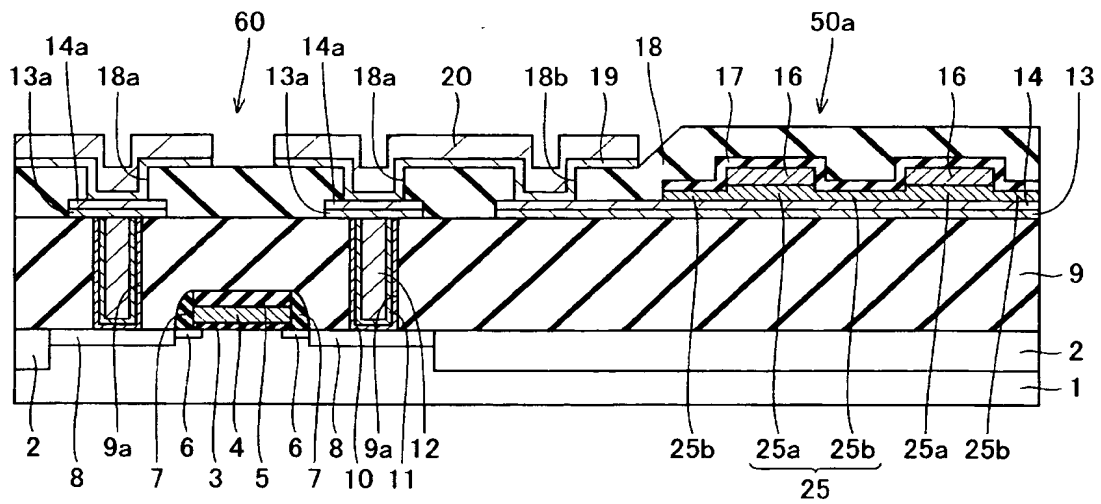




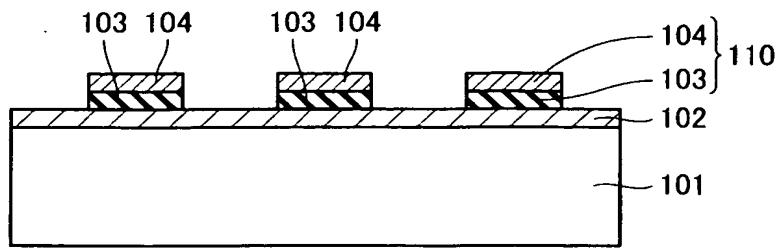
【図 13】



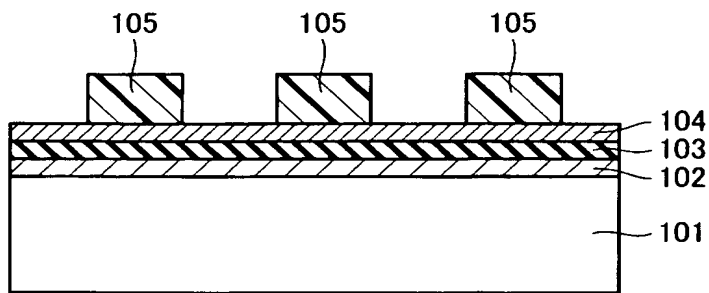
【図 14】



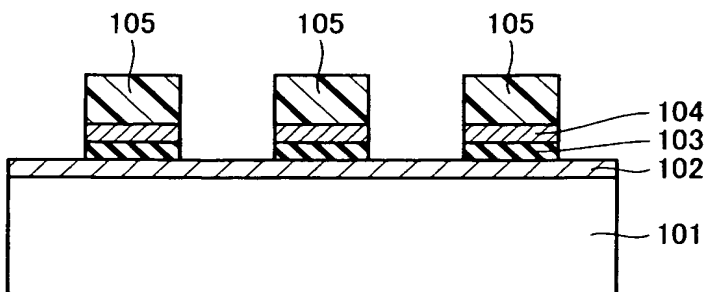
【図 15】



【図 16】



【図 17】





【書類名】 要約書

【要約】

【課題】 メモリセルから読み出される信号の強度を向上させることが可能なメモリの製造方法を提供する。

【解決手段】 このメモリの製造方法は、I r S i N膜13およびP t膜14からなる下部電極上にS B T膜からなる強誘電体膜15を形成する工程と、強誘電体膜15の一部を所定の厚み分エッチングすることにより、記憶部15aと薄膜部15bとを形成する工程と、少なくとも薄膜部15bを覆うようにシリコン窒化膜17を形成する工程と、シリコン窒化膜17上の所定領域にレジスト膜23を形成した後、レジスト膜23をマスクとしてシリコン窒化膜17および強誘電体膜15の薄膜部15bをパターンニングする工程とを備えている。

【選択図】 図12

特願 2 0 0 3 - 0 8 1 6 7 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名 三洋電機株式会社